

ТЕМА ДЕМУЛЬТИПЛЕКСОРИ.

МЕТА: Сформувати знання з визначення та призначення демультиплексора, навички з вміння читати схеми. Продовжувати формування знань студентів з питання побудови комбінаційних пристроїв.

ПЛАН

1 Визначення демультиплексора

2 Синтез демультиплексора

Поставити питання групі: де саме в техніці зв'язку можна було б застосувати подібний пристрій? (очікувана відповідь: для підключення телефонним комутатором певного абонента-джерела до лінії іншого абонента - абонента-адресата: комутатор один - абонентів-адресатів декілька).

1 Визначення демультиплексора

Демультиплексори виконують роль, зворотну мультиплексору. Мають один вхід x і n адресних (селекторних) входів і $m=2^n$ виходів. Мета полягає в передачі вхідного сигналу на вибраний вихід (адреса бажаного виходу задається в двійковому коді)

Дати визначення під запис:

ДЕМУЛЬТИПЛЕКСОР - це керований кодом вузол цифрових пристроїв, призначений для передачі сигналів від одного фізичного каналу на декілька вихідних ліній. Інакше - розподільник сигналів.

Синтез демультиплексора:

1етап синтезу : постановка задачі.

Пристрій у відповідності з прийнятою адресою повинен направити інформацію на одну із m вихідних ліній.

Пояснити позначення на функціональних схемах і роботу демультиплексора.

Робота його полягає в тому, що на одному з виходів (на якому саме - визначає код на входах, що управляють, A_0 і A_1) з'являється такий же сигнал, як і на інформаційному вході X .

2етап синтезу: складання таблиці істинності.

Кількість входів $n=x$

Адресних входів A_0, A_1

Виходів $m=2^2=4$

Складаємо таблицю:

x	A ₀	A ₁	y ₀	y ₁	y ₂	y ₃
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

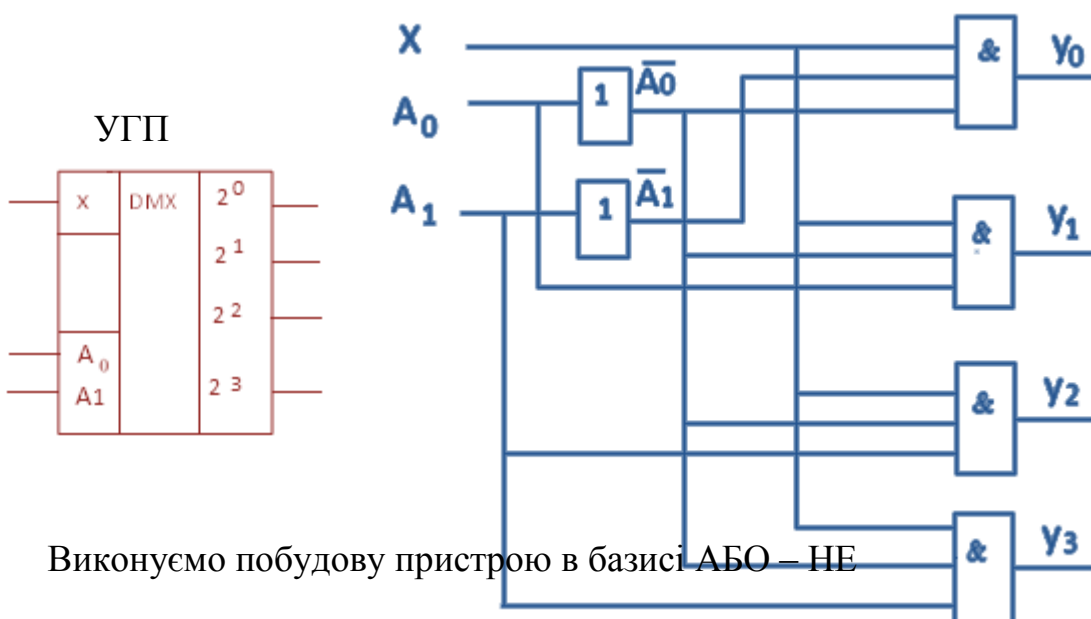
Зетап синтезу: перехід від таблиці до аналітичного виразу функції

Запишемо функцію у формі ДДНФ. Так як пристрій має чотири виходи то буде складено чотири функції:

$$\begin{aligned} 3) \quad y_0 &= x \cdot \bar{A}_0 \cdot \bar{A}_1 \\ y_1 &= x \cdot A_0 \cdot \bar{A}_1 \\ y_2 &= x \cdot \bar{A}_0 \cdot A_1 \\ y_3 &= x \cdot A_0 \cdot A_1 \end{aligned}$$

4 етап синтезу: будуємо схему

Вибір логічної бази : будуємо в універсальному логічному базисі



Виконуємо побудову пристрою в базисі АБО – НЕ

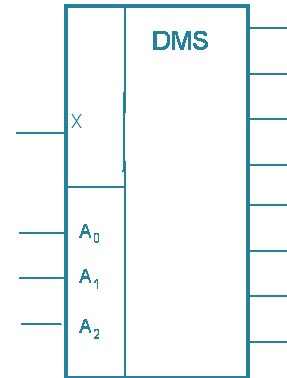
1. Згідно із законом де Моргана:

$$f_0 = \overline{\overline{x \cdot A_0 \cdot A_1}} = \overline{\overline{x} \vee A_0 \vee A_1}$$

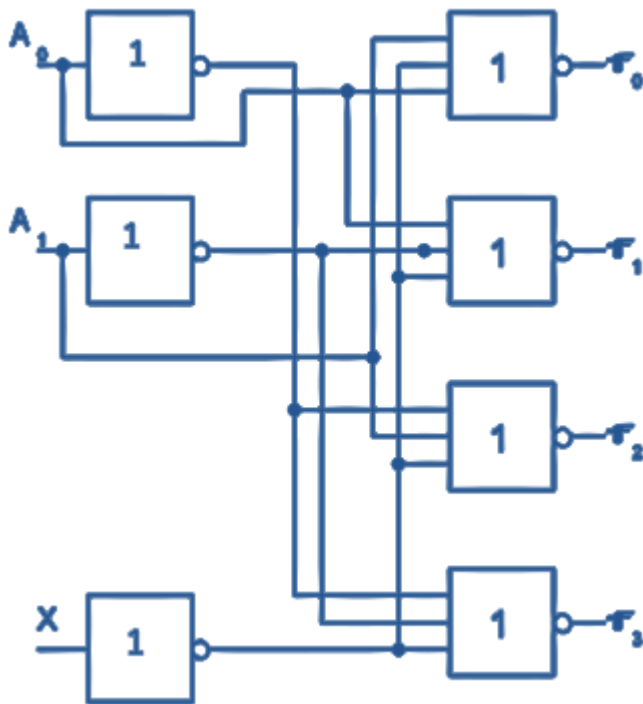
$$f_1 = \overline{\overline{x \cdot A_0 \cdot \overline{A_1}}} = \overline{\overline{x} \vee \overline{A_0} \vee A_1}$$

$$f_2 = \overline{\overline{x \cdot \overline{A_0} \cdot A_1}} = \overline{\overline{x} \vee A_0 \vee \overline{A_1}}$$

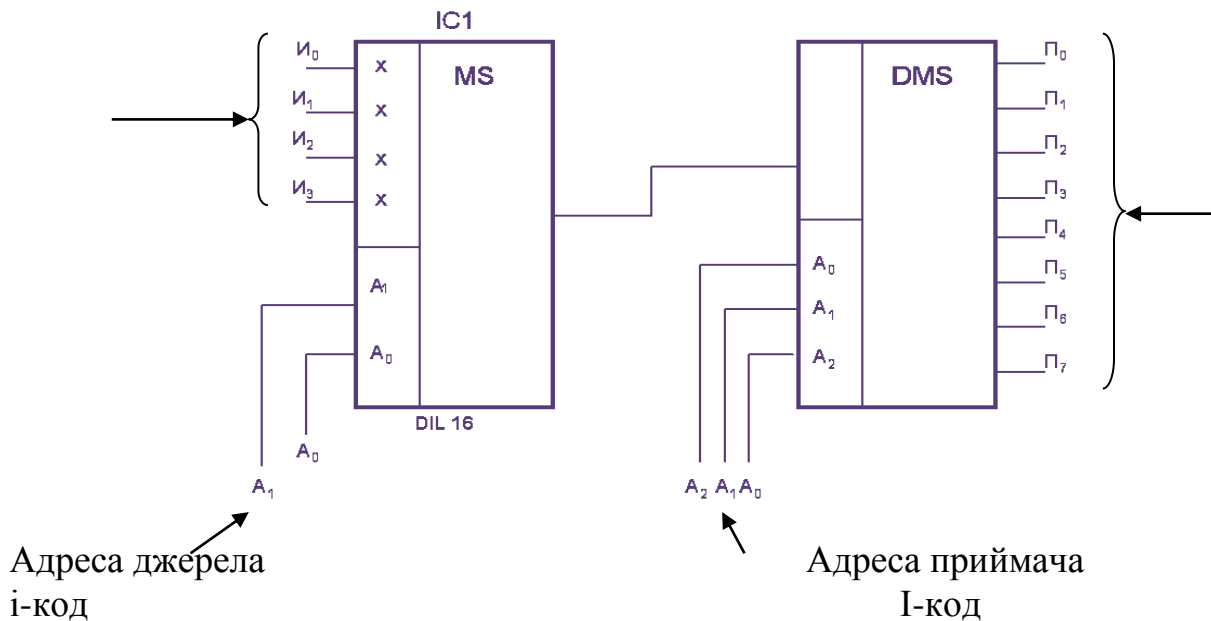
$$f_3 = \overline{\overline{x \cdot \overline{A_0} \cdot \overline{A_1}}} = \overline{\overline{x} \vee \overline{A_0} \vee \overline{A_1}}$$



2. Побудова схеми:



Оскільки структура мультиплексорів і демультимплексорів схожі, то в КМОП серіях розроблені мікросхеми, які можуть служити як мультиплексором, так і демультимплексором, дивлячись з якого боку подавати сигнал. Приклад: До 561 КП 1 (8*1 або 1*8). Шляхом послідовного включення мультиплексорів і демультимплексорів реалізуються схеми комутаторів, які сполучають джерела і приймачі інформації відповідно до адрес, що поступили.



Практичне застосування мультиплексорів та демультимплексорів.

Наша промисловість випускає декілька типів мікросхемних мультиплексорів. Мультиплексор К155 має вісім інформаційних входів, три адресних входом вагами 4 2 1 , вхід розв'язувальний V та два виходаб прямий та інверсний. При наявності на вході V логічної одиниці мультиплексор блокується: на прямому виході установлюється логічний 0 незалежно від потенціалів на вході. Наявність розв'язувального входу дозволяє збільшити число комутуємих інформаційних входів. Як уже відомо мультиплексом виконує функцію комутатора тобто дає можливість під'єднати один канал до різних джерел інформації. Окрім прямого призначення, мультиплексор може використовуватись для перетворення паралельного коду на вході в послідовний на виході. Для цього код на адресних входах повинен циклічно змінюватись, приймаючи всі послідовні значення. Таку зміну коду можна забезпечити приєднавши до адресних входів виходи лічильника, який би послідовно змінював свій стан під дією імпульсів генератора. Мультиплекс ори можна використовувати на основі двонапрямлених аналогових перемикачів. Такі мультиплекс ори випускають у серіях ІС зі структурою КМОН. Наприклад К564КП1 здвоєний 4-канальний мультиплексом та К5643КП2- 8-канальний

мультиплексом. Демультимплексори виконують функцію, обернену мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^n виходів, де n - число адресних входів.

Література

- [1] Алексеенко А.Г. «Микросхемотехніка»; Радио и связь 1990 §3.3
- [2] Бойко В.І., Гуржій В.Я., Зорі А.А. Співак В М Терещенко Т О Петергеря ЮС. «Основи технічної електроніки»; Вища школа Київ 2007 §14.3
- [3] Лебедєв О.М. Ладик О.І. Цифрова схемотехніка Київ 2005-247с. §4.2.5



Практична робота 7

Тема Перетворювачі десяткового коду в семисегментовий

Мета: Надати поняття про сегментний код для цифрової індикації .Навчити студентів проектуванню комбінаційних схем в булевому і монофункціональному базисах.

Література

[1] Алексеенко А.Г. «Микросхемотехника»; Радио и связь 1990

[2] Бойко В.І., Гуржій В.Я.,Зорі А.А.Співак В М Терещенко Т О Петергеря ЮС. «Основи технічної електроніки»; Вища школа Київ 2007

Питання для обговорення.

1. Поясніть поняття логічний нуль, логічна одиниця.
2. Назвіть основні логічні функції.
3. Назвіть елементи які реалізують логічні функції
4. Запишіть таблицю істинності логічної функції АБО.
5. Запишіть таблицю істинності логічної функції
6. Що таке складні логічні елементи?
7. Що називають логічним базисом?
8. Які елементи входять в універсальний логічний базис?
9. Що називається мінімізацією?
10. Що уявляють собою карти Карно?
11. Від яких величин залежить кількість комірок в картах Карно?
12. На базі яких елементів електроніки виконують ІМС логічних елементів?
13. Який пристрій називають кодоперетворювачем?

Короткі теоретичні відомості

Цей код застосовується для представлення десяткових цифр за допомогою семи - сегментного індикаторного елемента, показаного ліворуч на рисунку 1.

Індикаторні сегменти, позначені буквами f_1-f_6 , можуть будуватись на світлодіодах, елементів з рідкими світловідображаючими кристалами (дисплей на рідких кристалах) або на плазмових індикаторах. При збудженні світлового випромінювання в сегментах на екрані виникають необхідні цифри, складені з елементів.

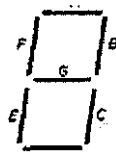


Рисунок 1. Семисегментний індикаторний елемент



Рисунок 2. Цифри які складені з елементів.

Якщо досвід побудови (синтезу) логічних схем у розробника невеликий, то можна рекомендувати йому таку послідовність дій.

Хід виконання роботи

Етап 1.

Складання таблиці істинності. Найскладніший, але досить поширений на практиці спосіб завдання схеми - це пояснення її роботи на понятійному рівні у вигляді набору фраз звичайної мови. Складність етапу пов'язана з тим, що завдання описується неформальними термінами, які допускають неоднозначне його тлумачення. Основна мета етапу - формалізація завдання, у процесі якого потрібно проаналізувати значення функції для кожної комбінації значень аргументів. Результат етапу - таблиця істинності. Це вже завдання, неоднозначне тлумачення якого неможливе. Якщо таблиця внаслідок значного числа змінних виявляється занадто громіздкою або якщо функція проста і зміст

її абсолютно зрозумілий, можна починати безпосередньо з написання аналітичної формули.

Етап 2.

Якщо функція визначена не на всіх наборах аргументів, то потрібно ліквідувати неоднозначність таблиці. У разі малого числа невизначених значень краще розглянути кілька варіантів. Якщо число умовних значень або самих аргументів велике, то, можливо, доведеться повністю довизначити функцію всіма нулями або всіма одиницями - так, щоб зменшити число членів ДДНФ прямої функції або її інверсії.

Етап 3.

За цілком визначеною таблицею скласти ДДНФ. Якщо розглядається кілька варіантів або якщо є сподівання, що інверсія функції реалізовуватиметься краще, то в подальшій роботі братимуть участь кілька варіантів ДДНФ.

Етап 4.

Мінімізувати ДДНФ будь-якими доступними методами. На цьому етапі іноді потрібна рішучість, щоб припинити пошук кращого варіанта (якого, можливо, й не існує).

Завдання до практичної роботи.

1 Побудова перетворювача двійково-десятькового коду в семи розрядний код то б то, побудувати перетворювач коду, який керує роботою елементу цифрового індикатору. Схема включення перетворювача коду надана на рисунку 1.

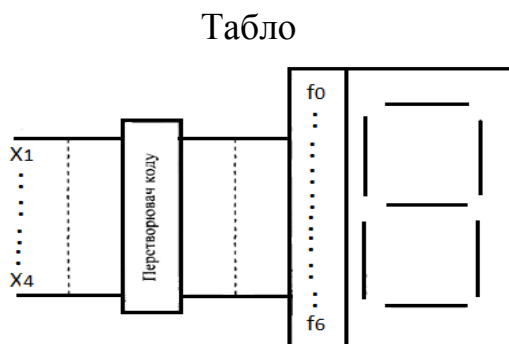


Рисунок 1 . Схема включення перетворювача коду

Необхідно забезпечити підсвічування елементів, які утворюють на табло задані цифри згідно таблиці .

Варіанти завдань

Номер варіанта завдання співпадає з номером за списком студента в журналі групи

Варіант	Цифри	Варіант	Цифри	варіант	Цифри	Варіант	Цифри	варіант	Цифри
1	1.2.3.4	2	5,6,7,8	3	0,1,8,9	4	1,3,5,7	5	0,2,4,6
6	9,7,5,3.	7	8,6,4,2	8	3,4,5,6	9	7,8,9,0	10	1,3,7,9
11	2,6,8,0	12	0,1,2,3	13	4,5,8,9	14	1,6,7,9	15	0,2,3,5
16	1,7,9,0	17	0,4,8,9	18	1,4,8,0	19	4,5,6,7	20	3,4,5,6
21	6,7,8,9	22	1,4,7,0	23	0,4,1,6	24	1,2,8,9	25	0,3,5,9
26	7,8,9,0	27	0,1,7,9	28	1,3,8,9	29	1,4,5,6	30	0,2,3,4

ТЕМА: Синтез шифратора

МЕТА: Сформувати у студентів знання з побудови шифратора. Навчити скласти таблицю станів, будувати шифратор .

ПЛАН

1 Визначення шифратора

2 Побудова шифратора

1 Визначення шифратора

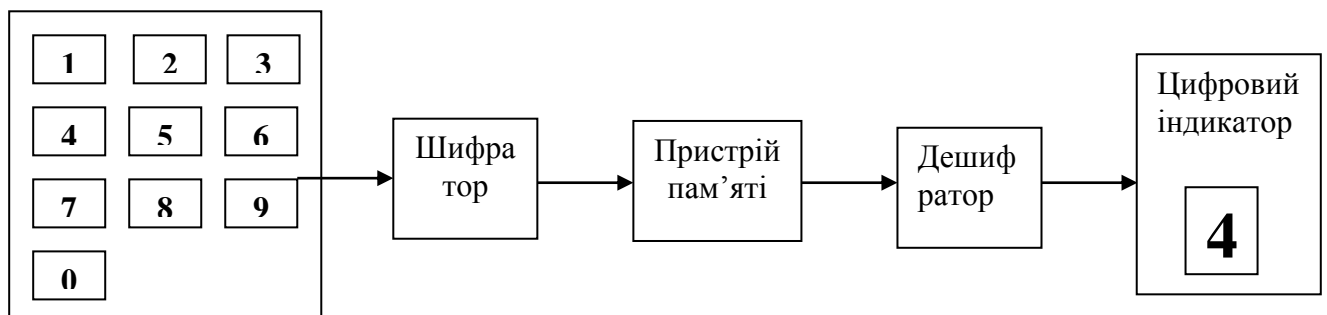
У різних пристроях цифрової техніки, наприклад в клавіатурах, калькуляторів, або ЕОМ, операторів вводять необхідні числа в десятковій системі числення під час натиснення відповідних кнопок. Пам'ятаємо, що для роботи цифрового пристрою зручними є числа двійкової системи числення. Системи які переводять десяткові числа в двійкові називаються 1.

Дати визначення під запис: *шифратором називається вузол цифрових пристроїв, що служить для перетворення чисел з десяткової системи числення в двійкову.*

Шифратори мають стільки входів, скільки десяткових чисел необхідно перевести в двійкові.

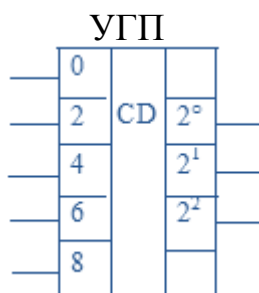
Навести приклад застосування шифратора в системі шифратор-дешифратор.

Необхідно побудувати цифровий пристрій, що перетворює натиснення клавіші з цифрою на пульті в зображення цієї цифри на цифровому індикаторі або табло.



Обґрунтувати необхідність облаштування пам'яті : для запам'ятовування коду натиснутої клавіші. Такий пристрій пам'яті можна побудувати на тригерах, він і зберігатиме двійковий код натиснутої клавіші. Якщо числа від 7 вимагають для представлення трьох двійкових розрядів, то для представлення чисел 8 і 9 потрібний вже 4 двійкові розряди. Отже, пристрій пам'яті повинен містити 4 тригери, тоді і шифратор повинен мати 4 виходи. Кількість входів у шифратора - 10, по кількості десяткових цифр від 0 до 9.

Привести «чорний ящик» і таблицю істинності шифратора.



2 Побудова шифратора

Щоб побудувати схему шифратора необхідно побудувати таблицю станів його роботи

Таблиця 1 - Таблиця станів

Десяткові цифри (N входів)		Розряди двійкових еквівалентів десяткових цифр		
		f_3	f_2	f_1
x_0	0	0	0	0
x_1	1	0	0	1
x_2	2	0	1	0
x_3	3	0	1	1
x_4	4	1	0	0
x_5	5	1	0	1
x_6	6	1	1	0
x_7	7	1	1	1

З таблиці: у молодшому розряді x_1 , відповідних двійкових чисел, «1» з'являється при двійковому кодуванні десяткових цифр: $f_1 = 1,3,5,7$. У розряді $f_2 = 2,3,6,7$, в розряді $f_3 = 4,5,6,7$.

У відповідності можна умовно скласти наступні логічні рівняння

$$x_1 = 1 + 3 + 5 + 7$$

$$x_2 = 2 + 3 + 6 + 7$$

$$x_3 = 4 + 5 + 6 + 7$$

Перше рівняння показує, що в молодшому розряді x_1 з'являється рівень логічної «1» при натисненні кнопки «1», або кнопки «3», або кнопки «5», або кнопки «7».

Аналогічно читаються і інші рівняння, тобто можна скласти рівняння:

$$f_1 = X_1 \vee X_3 \vee X_5 \vee X_7$$

$$f_2 = X_2 \vee X_3 \vee X_6 \vee X_7$$

$$f_3 = X_4 \vee X_5 \vee X_6 \vee X_7$$

Змінні x_1 - x_7 позначають виходи проводів відповідних клавіш, які під'єднуються до входів логічних елементів АБО відповідно до рівнянь.

f_1, f_2, f_3 – виходи шифратора, які відповідають двійковим розрядам. У вихідному стані на входах схем АБО рівень логічного «0», тобто всі кнопки K_0 - K_7 замкнуті і з'єднанні із загальним проводом. При натисненні кнопок наприклад, K_6 , на вертикальному проводі «6» з'являється рівень логічної «1». Цей провід, з'єднаний з виходом мікросхеми D_2 і D_3 , на виході яких з'явиться «1» на всіх входах D_1 , буде рівень логічного «0», тобто на виходах АБО буде записаний код 110. За таким принципом будують шифратори в інтегральному виконанні.

Визначити типи і кількість логічних елементів, і а також кількість їх входів
: 3 чотиривходових логічних елементів АБО.

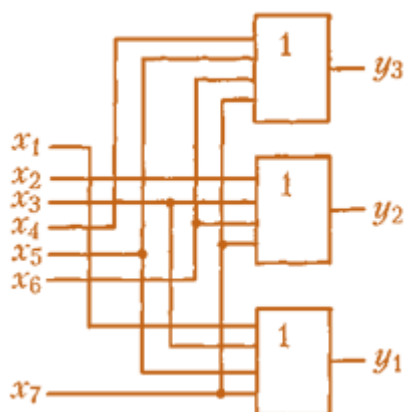


Рис.1 Схема шифратора на ЛЕ

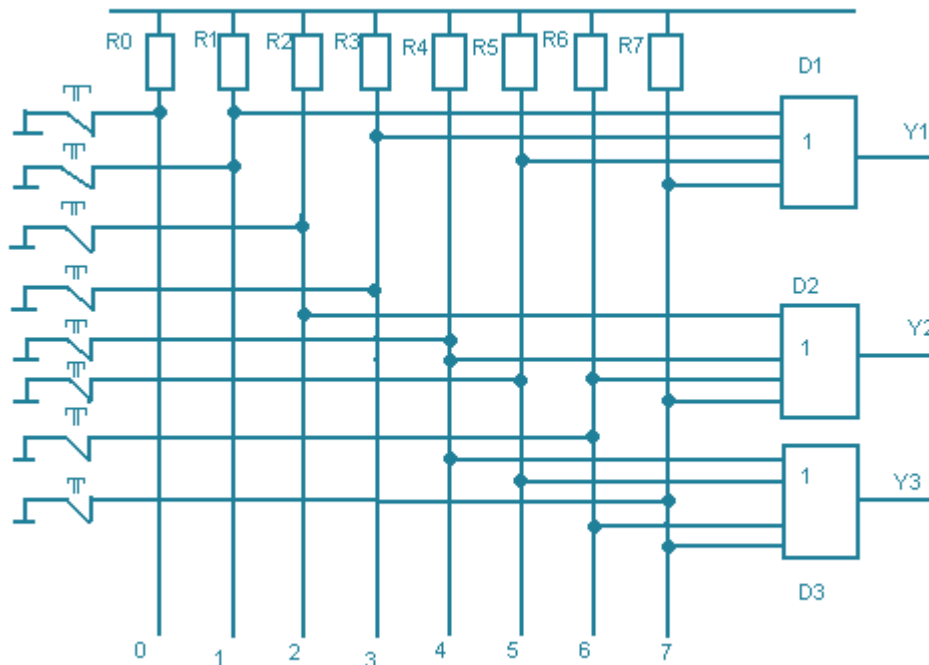


Рис 2 Шифратори в цифрових системах

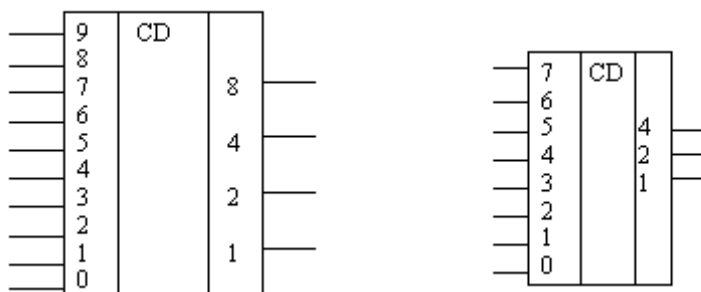
Як вже мовилося, шифратори в цифрових системах використовуються для передачі інформації між різними пристроями. При обмеженому числі ліній, а також для перетворення десяткових чисел, що вводяться, в двійкову форму. Наприклад, введення десяткових чисел (наприклад, на калькуляторі) проводиться натисненням клавіш $i=0,1,2,..9$. При цьому перетворення чисел в двійково-десяткову форму виконується шифратором з «10 в 4». При натисненні кнопки замикається ключ на одному з 10 входів шифратора і на цей вхід поступає сигнал $x_i = "1"$. Не натиснута клавіша забезпечує на вході $x_i=0$

Звернути увагу студентів на наступні обставини:

- кнопка «0» нікуди не підключена, тому повинно бути передбачено, щоб при натиснутій кнопці «0» або при не натисненні жодної з кнопок на виходах шифратора був би двійковий код 0000;

- кількість входів у логічних елементів з'ясувалася тільки по ходу побудови функціональної схеми шифратора.

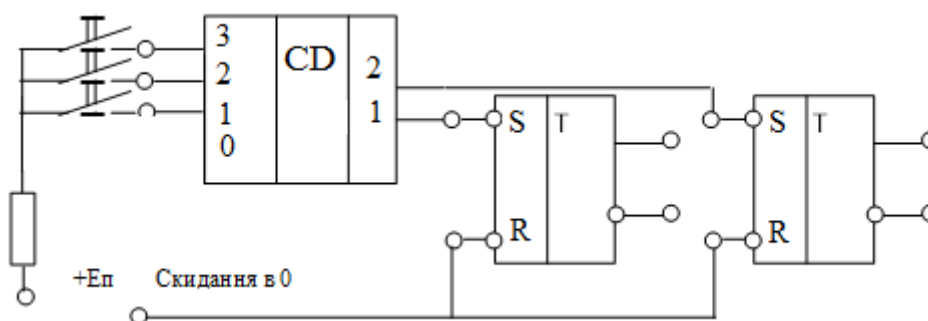
Привести умовне позначення шифраторів на функціональних схемах: десятково-двійкового і вісімково-двійкового.



Пояснити роботу шифратора.

Відмітити: як приймач двійкового коду зазвичай використовуються тригерні лічильники або регістри, оскільки тригер є елементом пам'яті, здатним зберігати 1 біт інформації.

Навести приклад функціональної схеми тригерного регістра пам'яті з шифратором.



Контрольні питання

- 1 Який пристрій називають шифратором?
- 2 На яких елементах можна побудувати шифратор?
- 3 Де використовують шифратори?

Література:

- [1] Алексеенко А.Г. «Микросхемотехника»; Радио и связь 1990
- [2] Бойко В.І., Гуржій В.Я., Зорі А.А. Співак В М Терещенко Т О Петергеря ЮС. «Основи технічної електроніки»; Вища школа Київ 2007

ТЕМА МУЛЬТИПЛЕКСОРИ.

Мета: сформувати у студентів знання про пристрій мультиплексор, продовжити формувати практичні навички до синтезу комбінаційних пристроїв, дослідницької роботи й сприяти розвитку логічного мислення

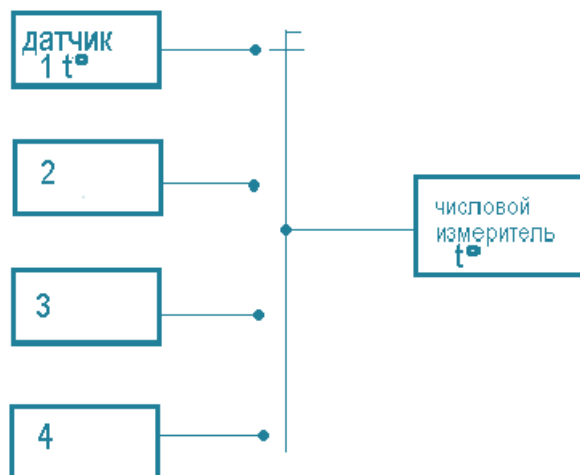
План

- 1 Постановка задачі
- 2 Синтез мультиплексора

1 Постановка задачі

У практиці проектування різних цифрових систем часто виникає ситуація, при якій на один вхід якого-небудь пристрою необхідно подавати сигнали від різних джерел інформації.

Нехай, наприклад, необхідно зміряти температуру декількох камер овочесховища цифровим вимірником температури встановленим стаціонарно. Таку задачу можна легко вирішити. Сигнали від датчиків, встановлених в камерах, подаються на багатопозиційний механічний перемикач, який має багато входів і один вихід. Під час подачі імпульсів струму на управління перемикач автоматично, по черзі з'єднує (комутує) виходи датчиків температури з входами цифрового термометра. Багатопозиційний перемикач (шаговий шукач) застосовують на деяких телефонних станціях. Але механічні комутатори мають малу швидкодію, швидко зношуються, громіздкі.



Мультиплексори -

цифрові електронні багатопозиційні перемикачі (комутатори) працюють, як і

шаговий шукач. Але мультиплектори не мають рухомих механічних контактів; вони мають велику швидкодію, малі габарити, їх випускають у вигляді мікросхем.

Допустимо, підтримка температурного режиму в камерах овочесховища, здійснюється автоматично. Тоді за необхідною величиною температури стежить ЕОМ. Від ЕОМ повинен йти сигнал запиту про стан температурного режиму в камерах овочесховища, але куди, в яку камеру?

Для вирішення цієї проблеми необхідно, щоб ЕОМ посилала запит по адресних каналах A_0-A_n у вигляді коду :

A_0-00 – 1-а команда

A_1-01 - 2-а команда і так далі

Інформація (тобто відповідність температури повітря в камері) відповідно до адреси поступає на вхід мультиплектора. Таким чином, мультиплектор повинен мати також інформаційні входи X , а кількість їх повинна відповідати кількості камер X_0, X_1, X_n . Результат, тобто сформована відповідь, з датчиків проходить на вихід f до ЕОМ. Через визначений проміжок часу знімається інформація із послідувачого датчика по вказаній адресі. Таким чином, мультиплектор комутує в бажаній черзі інформацію, яка поступає із декількох виходів на одну вхідну шину. Тобто виникає часовий розподіл інформації яка поступає по різним каналам. Із цього витікає, що мультиплектор має дві групи входів:

Інформаційні входи - X_0, X_1, X_n

Адресні входи - A_0-A_n

Окрім цього є ще розв'язувальний E (стробуючий) вхід.

Цей вхід керує одночасно всіма інформаційними входами не залежно від коду адреси.

$E=1$ -мультиплектор працює як звичайно

$E=0$ -мультиплектор заблокований.

Наявність розв'язувального входу розширює функціональні можливості

мультиплектора, надає можливості синхронізувати його роботу з іншими вузлами.

Розв'язувальний вхід використовується для нарощування розрядності мультиплексорів. Якщо необхідно мати більше інформаційних входів, чим у даному мультиплексорі.

2 Синтез мультиплексора

1 етап

Інформаційні входи та адресні входи мультиплексора знаходяться в залежності:

n-число адресних входів

m- число комбінацій адресних сигналів

$$m = 2^n$$

1. Для мультиплексора з двома адресними входами A_0, A_1 , буде: $m = 2^2=4$ комбінації адресних входів, тобто 4 інформаційних входа : X_1, X_2, X_3, X_4 і один вихід – f.

2 етап

Складаємо таблицю істинності:

Таблиця істинності

X_1	X_2	X_3	X_4	A_0	A_1	f
1	x	x	x	0	0	1
x	1	x	x	0	1	1
x	x	1	x	1	0	1
x	x	x	1	1	1	1

Символом x позначений стан входу ;

1- при відповідному адресу сформований вхідний сигнал повинен передаватись на вихід f

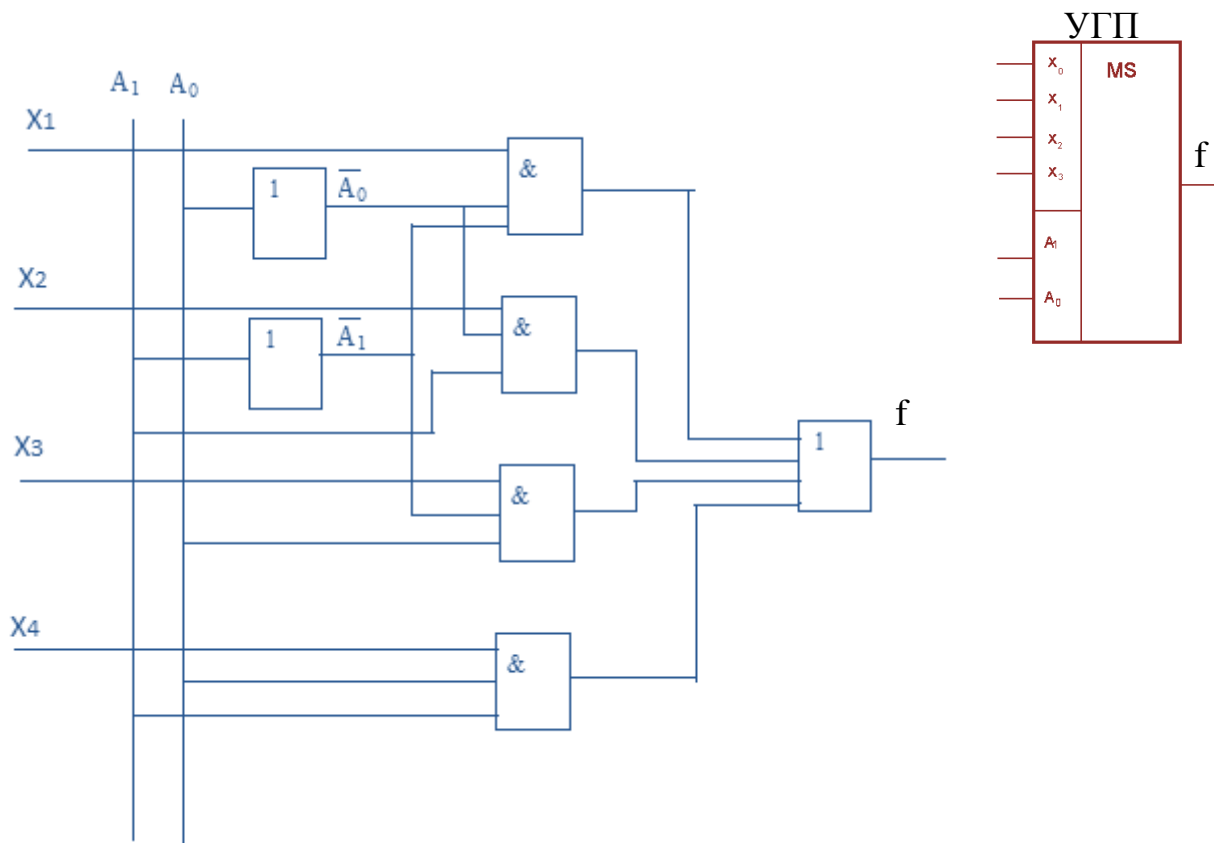
3етап

Складемо рівняння функціонування даного мультиплексора

$$f = X_1\bar{A}_0\bar{A}_1 \vee X_2\bar{A}_0A_1 \vee X_3A_0\bar{A}_1 \vee X_4A_0A_1$$

4етап

Будуємо функціональну схему в універсальному базисі



Література:

- [1] Алексеенко А.Г. «Микросхемотехніка»; Радио и связь 1990 §3.3
- [2] Бойко В.І., Гуржій В.Я., Зорі А.А. Співак В М Терещенко Т О Петергеря ЮС. «Основи технічної електроніки»; Вища школа Київ 2007 §14.3
- [3] Лебедєв О.М. Ладик О.І. Цифрова схемотехніка Київ 2005-247с. § 4.2.5

ТЕМА: Основні характеристики серій елементів

Мета: Ознайомити студентів з основними характеристиками серій ЛЕ та навчити користуватися довідником.

План

- 1 Напруга живлення.
- 2 Рівні логічного "0" і логічної "1".
- 3 Швидкодія.
- 4 Коефіцієнт розгалуження по виходу (навантажувальна здатність).
5. Завадостійкість.

1 Напруга живлення.

В довідниковій літературі приводиться номінальна напруга живлення і можливі відхилення від номіналу в відсотках або в абсолютних значеннях.

Наприклад: $U=5V\pm 0,1V$ або $U=5V\pm 2\%$

Рівні логічного "0" і логічної "1"

В довідниковій літературі приводиться рівень логічного "0" $U(0)\leq 0,3V$, та рівень логічної "1" $U(1)\geq 2,4V$.

2 Рівні логічного "0" і логічної "1".

Розглянемо на прикладі інвертора рис. 1



Рисунок 1 – Логічний елемент типу

„інвертор”.

При застосуванні позитивної логіки рівень логічної «1» характеризується високою напругою, наприклад $U(1) \in (4,5 \dots 5,5)V$, а рівень логічного «0» характеризується низькою напругою, наприклад $U(0) \in (0,1 \dots 0,5)V$ (рис. 2)

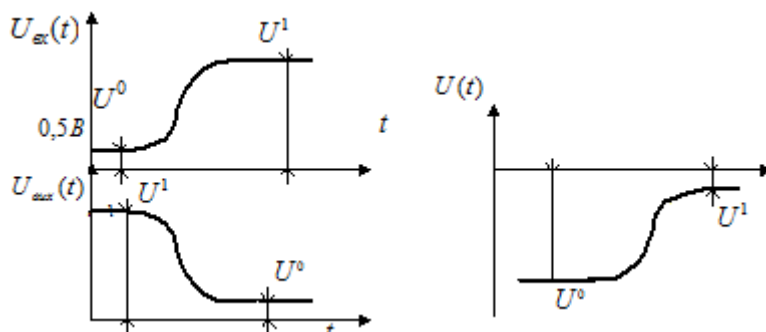


Рисунок 2 - Логічний елемент в статичному режимі (позитивна логіка).

Якщо живлення ЛЕ негативне, то рівень логічної «1» повинен бути більшим від рівня напруги логічного «0» (рис. 2)

При застосуванні негативної логіки все навпаки (рис. 3)

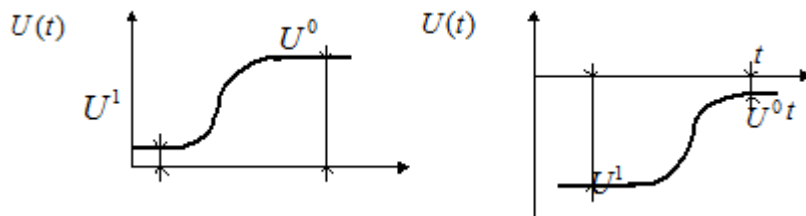


Рисунок 3 - Логічний елемент в статичному режимі (негативна логіка).

Так само для цих логік вводиться поняття струму логічної «1» і логічного «0», тобто $I_{\text{вх}}^0$; $I_{\text{вих}}^0$; $I_{\text{вх}}^1$; $I_{\text{вих}}^1$

Потужність споживання логічних елементів і багатьох мікросхем характеризується середньою потужністю споживання при станах коли ЛЕ знаходиться в «одичному» стані і «нульовому» стані.

3 Швидкодія.

Швидкодія характеризується часом власної затримки. Власна затримка вимірюється найчастіше в наносекундах (нсек). Розрізняють затримку фронту та спаду. Затримка фронту (для додатної логіки позначається t^{01} , а затримка спаду (зрізу) t^{10} .

Наприклад для інвертора (логічного елементу "НЕ").

Інколи користуються середнім значенням затримки. $t_{\text{сер}} = t^{01} + t^{10}$

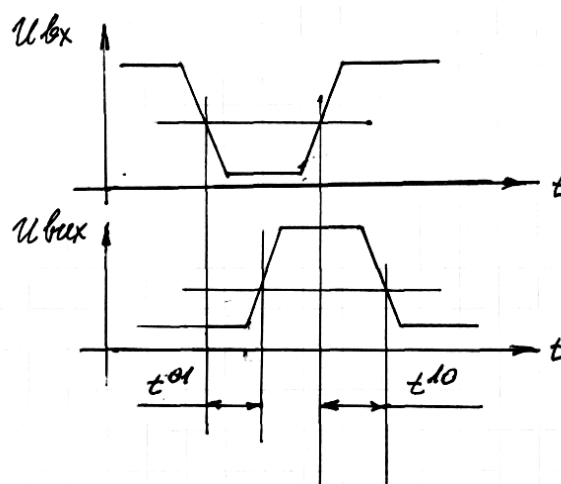
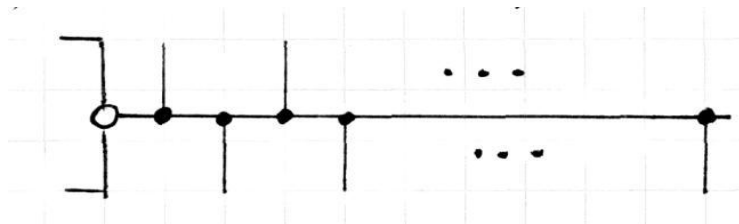


Рисунок 4 - Затримка фронту та затримка спаду

4 Коефіцієнт розгалуження по виходу

Коефіцієнт розгалуження по виходу вказує до скількох наступних входів може бути під'єднаний (навантажений) вихід даної мікросхеми цієї ж серії.



5 Завадостійкість

Ця характеристика серій елементів залежить від способу представлення лог. "0" і лог. "1" електричними сигналами, а також від коефіцієнту дискримінації і т.д. Завадостійкість визначається максимальним значенням напруги перешкоди, при якій елемент працює справно.

Існують й інші характеристики в залежності від схемотехніки мікросхем: чутливість, інтенсивність відмов (надійність) і т.д.

Конструктиви мікросхем

Найчастіше зустрічаються два типи корпусів мікросхем :

1. Корпус типу DIP.
2. Корпус типу SMD.

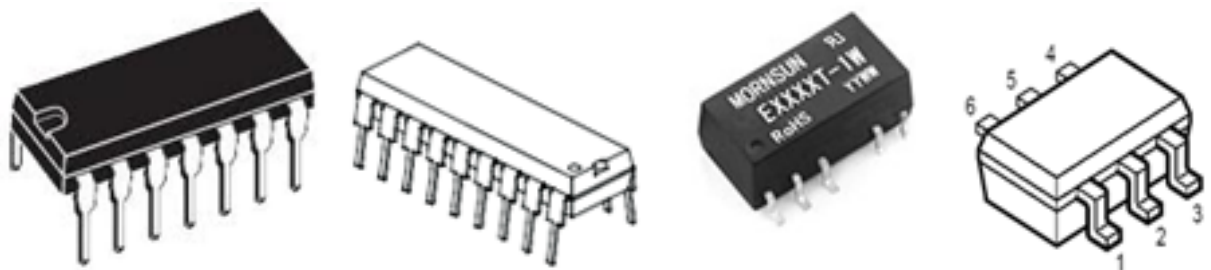


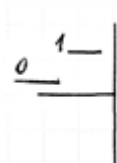
Рис.1 Види корпусів мікросхем DIP і SMD

Види входів та виходів.

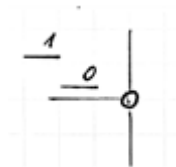
На кресленнях схем функціональних та схем електричних принципових

входи на умовних графічних позначеннях розміщують зліва, а виходи зправа. Повертати умовне графічне позначення заборонено. Як входи так і виходи на умовних графічних позначеннях можуть бути прямим або інверсними. Входи ще можуть бути динамічними

Прямий вхід

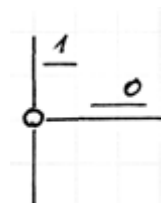
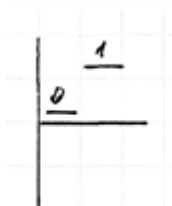


Перед початком роботи на такому вході повинен бути встановлений низький потенціал тобто U_0 , а діяти на нього треба високим потенціалом $U(1)$. Говорять - активний високий рівень.



Перед початком роботи на такому вході повинен бути встановлений високий потенціал U_1 , а діяти на нього треба низьким потенціалом $U(0)$. Говорять - активний низький рівень.

Активний високий рівень.

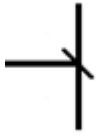


Активний низький рівень.

Динамічні входи



Прямий динамічний вхід . На такий вхід необхідно діяти фронтом,
тобто перепадом з "0" в "1" (для додатної логіки)



Інверсний динамічний вхід. На такий вхід необхідно
діяти спадом (зрізом), тобто перепадом напруги з "1" в "0" (для додатної
логіки)

Питання для самоперевірки

- 1 Якою напругою характеризується рівень логічної «1» якщо логіка позитивна?
(високою)
- 2 Чим характеризується швидкодія? (часом власної затримки)
- 3 Що вказує коефіцієнт розгалуження по виходу? (до скількох наступних
входів може бути під'єднаний (навантажений) вихід даної мікросхеми цієї ж
серії).
- 4 Від чого залежить завадостійкість? (Ця характеристика серій елементів
залежить від способу представлення лог. "0" і лог. "1" електричними сигналами)
- 5 Фронтом чи спадом необхідно діяти на динамічний вхід? (На такий вхід
необхідно діяти фронтом, тобто перепадом з "0" в "1" (для додатної логіки))

Література

1. Бойко В.І. Основи технічної електроніки: підручник / В.І.Бойко,
А.М.Гуржій, В.Я.Жуйков-Вища школа,2007.С.
 2. Лебедев О.М. Цифрова схемотехніка: підручник / О.І.Ладик , О.М.
Лебедев – Вища школа, 2005.-247с.
- Базилевич Л.О. Баглай Р.Є Цифрова схемотехніка (фондіві лекції)

ПРАКТИЧНА РОБОТА 6

Тема: Проектування пристроїв в базисах Шеффера і Пірса .

Мета: Надати практичних навичок з проектування комбінаційних схем в монофункціональних базисах.

Література

1. Бойко В.І. Основи технічної електроніки: підручник / В.І.Бойко, А.М.Гуржій, В.Я.Жуйков-Вища школа,2007.С.
2. Лебедєв О.М. Цифрова схемотехніка: підручник / О.І.Ладик , О.М. Лебедєв – Вища школа, 2005.-247с.

Допоміжна:

3. Брамер.Ю.А. Імпульсні і цифрові пристрої: підручник/Ю.А.Брамер, І.Н.Пашук – Вища школа,2003._351с.

Питання для обговорення

- 1 Який пристрій називається комбінаційним?
- 2 Які логічні функції називають визначеними?
- 3 Назвіть способи надання функції.
- 4 Як їх описують за допомогою таблиць істинності?
- 5 Які способи мінімізації логічних функцій ви знаєте?
- 6 Як виконати мінімізацію логічної функції за допомогою карт Карно?
- 8 Як їх описують за допомогою таблиць істинності?
- 8.Який набір логічних елементів може бути базисом?
- 9 Які елементи входять в універсальний логічний базис?
- 10 З яких елементів складається логічний базис Шеффера?

Короткі теоретичні відомості

Функціонально повна система логічних функцій є набором логічних функцій, за допомогою яких можна записати будь-яку, скільки завгодно складну функцію. В цьому випадку говорять, що цей набір утворює базис.

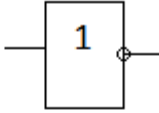
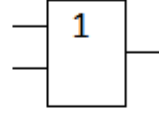
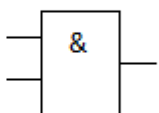
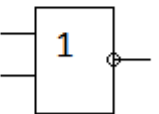
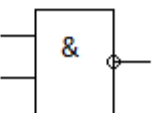
Функціонально повними є 3 базиси:

1. «І-АБО-НЕ»
2. «І-НЕ»
3. «АБО-НЕ»

Основні логічні операції можна реалізувати різними способами.

Широко застосовуються реалізації на логічних елементах (елементи жорсткої логіки) . В таблиці 1 наведені приклади таких реалізацій.

Таблиця 1. Реалізація основних логічних операцій

Елемент	Жорстка логіка
НЕ $f = \bar{X}$	
АБО $f = X1 \vee X2$	
І $f = X1 X2$	
АБО-НЕ $f = \overline{X1 \vee X2}$	
І-НЕ $f = \overline{X1 X2}$	

Приклад. Побудувати задану логічну функцію в трьох функціонально повних базисах. Функція має вигляд:

Для базису І, АБО, НЕ (рисунок 1)

$$f = X1\bar{X}2 \vee X2X3 \vee X2\bar{X}1$$

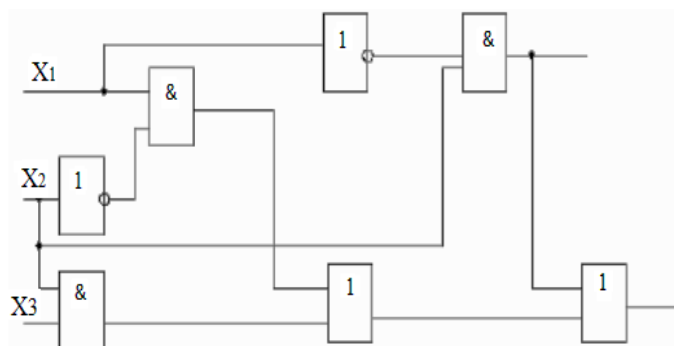


Рисунок 1. Схема побудована в базисі І, АБО, НЕ

Побудувати задану логічну функцію в базисі І- НЕ (рисунок 2)

$$f = \overline{\overline{\overline{X_1 X_2}} \vee \overline{\overline{\overline{X_2 X_3}} \vee \overline{\overline{\overline{X_2 X_1}}}}} = \overline{\overline{\overline{X_1 X_2 X_2 X_3 X_2 X_1}}}$$

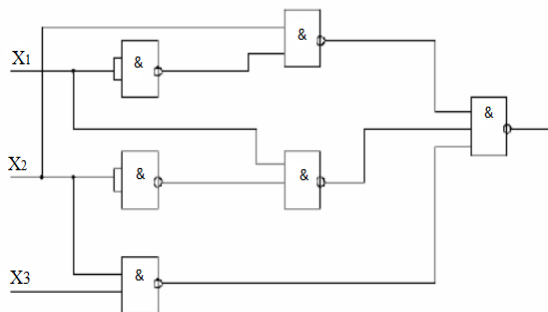


Рисунок 2. Схема побудована в базисі І-НЕ

Побудувати задану логічну функцію в базисі АБО- НЕ (рисунок 3).

$$f = \overline{\overline{\overline{X_1 X_2}} \vee \overline{\overline{\overline{X_2 X_3}} \vee \overline{\overline{\overline{X_2 X_1}}}}} = \overline{\overline{\overline{X_1}} \vee \overline{\overline{\overline{X_2}} \vee \overline{\overline{\overline{X_3}} \vee \overline{\overline{\overline{X_2}} \vee \overline{\overline{\overline{X_1}}}}}}}$$

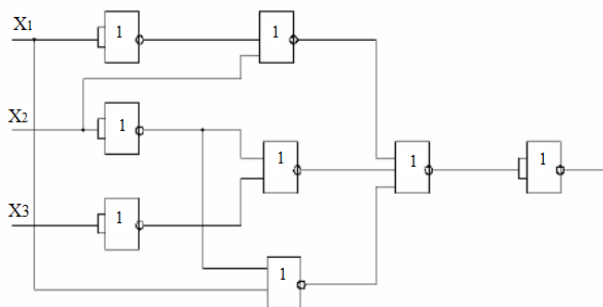


Рисунок 3. Схема побудована в базисі АБО-НЕ

Хід виконання роботи

1. Згідно заданої логічної функції (таблиця2).
2. При необхідності виконати мінімізацію.
3. Побудувати логічну схему в логічному базисі І,АБО,НЕ.
4. Побудувати логічну схему в логічному базисі І-НЕ.
5. Побудувати логічну схему в логічному базисі АБО-НЕ.

Завдання

Номер варіанту завдання співпадає з номером за списком студента в журналі групи

Таблица 2

1	$f=X_1 \cdot X_3 \vee X_2 \cdot \bar{X}_3 \vee X_1 \cdot X_2$
2	$f=\bar{X}_1 \cdot \bar{X}_2 \vee X_3 \bar{X}_2 \vee X_1 X_2$
3	$f=\bar{X}_1 \cdot \bar{X}_3 \vee X_1 \cdot \bar{X}_2 X_1 \cdot \bar{X}_3$
4	$f=X_1 \cdot \bar{X}_2 \cdot X_3 \vee X_1 \bar{X}_3 \vee \bar{X}_2 \cdot X_3$
5	$f=\bar{X}_1 \cdot \bar{X}_2 X_3 \vee \bar{X}_1 \cdot \bar{X}_2 \vee X_1 X_3$
6	$f=X_1 \cdot \bar{X}_4 \vee \bar{X}_2 \cdot X_4 \vee X_1 \cdot X_3 \vee \bar{X}_3 \cdot \bar{X}_4$
7	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \cdot \bar{X}_3 \vee X_2 \cdot \bar{X}_4$
8	$f=X_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_4 \vee X_1 \cdot X_2 \cdot \bar{X}_3 \vee X_2 \cdot X_3$
9	$f=X_1 \cdot X_3 \vee \bar{X}_1 \cdot \bar{X}_4 \vee X_1 \cdot X_2 \cdot \bar{X}_3$
10	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \cdot \bar{X}_3 \vee \bar{X}_2 \cdot X_4$
11	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \vee \bar{X}_2 \cdot X_4$
12	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot \bar{X}_2 X_3 \vee X_1 \cdot X_2$
13	$f=\bar{X}_1 \cdot \bar{X}_2 \cdot \vee X_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_4 \vee \bar{X}_2 \cdot X_4$
14	$f=X_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_4 \vee \bar{X}_3 \cdot \bar{X}_4$
15	$f=\bar{X}_1 \cdot \bar{X}_2 \vee X_3 \bar{X}_2 \vee X_2 \cdot \bar{X}_3$
16	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot \bar{X}_2 \vee X_1 \cdot X_2 \cdot \bar{X}_1 X_3 \vee X_4$
17	$f=X_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_4 \vee X_3 \bar{X}_2 \vee X_1 X_2$
18	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_2 \cdot \bar{X}_3 \vee X_2 \cdot X_3$
19	$f=\bar{X}_1 \cdot X_2 \vee \bar{X}_2 \cdot X_4 \vee X_1 \cdot X_4 \cdot \bar{X}_3 \vee \bar{X}_2 \cdot X_4$
20	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \vee X_1 \cdot \bar{X}_2 X_3 \vee X_1$
21	$f=\bar{X}_1 \cdot \bar{X}_2 \cdot \vee X_3 \cdot X_4 X_1 \bar{X}_3 \vee \bar{X}_2 \cdot X_3 \vee X_2 \cdot X_3$
22	$f=\bar{X}_1 \cdot X_2 \vee X_2 \bar{X}_1 \cdot \bar{X}_4 \vee \bar{X}_3 \cdot \bar{X}_4$
23	$f=X_1 \cdot \bar{X}_2 \cdot X_3 \vee X_1 \bar{X}_3 \vee \bar{X}_1 \cdot \bar{X}_4 \vee \bar{X}_3 \cdot \bar{X}_4$
24	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_3 \cdot \bar{X}_4 X_2 \cdot X_3$
25	$f=X_1 \cdot \bar{X}_2 \cdot X_3 \vee X_1 \bar{X}_3 \vee \bar{X}_3 \cdot \bar{X}_4 X_2 \vee X_1 \cdot \bar{X}_2$
26	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \vee X_2 \bar{X}_1 \cdot \bar{X}_4 \vee X_2 \cdot \bar{X}_3$
27	$f=\bar{X}_1 \cdot \bar{X}_2 X_3 \vee X_1 \bar{X}_3 \vee \bar{X}_3 \bar{X}_4 X_2 \cdot X_1$
28	$f=\bar{X}_1 \cdot X_2 \vee X_1 \cdot X_4 \vee \bar{X}_2 \cdot X_4 \vee X_1 \cdot X_3$
29	$f=X_1 \cdot X_3 \vee X_2 \cdot \bar{X}_3 \vee X_1 \bar{X}_3 \vee \bar{X}_1 \cdot \bar{X}_4$
30	$f=\bar{X}_1 \cdot \bar{X}_2 \cdot \vee X_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_4 \vee \bar{X}_2 \cdot X_4$

Тема: Проектування пристроїв в різних базисах

Мета: повторення теми про поняття комбінаційних схем; навчання проектуванню комбінаційних схем в булевому і монофункціональному базисах.

План

- 1 Комбінаційні схеми
- 2 Технічні параметри ЛЕ
- 3 Проектування комбінаційних схем в булевому базисі
- 4 Проектування комбінаційних схем в базисі Шеффера і Пірса

1 Комбінаційні схеми

Комбінаційною схемою (КС) називається схема з логічних (перемикачів) елементів, які реалізують логічну функцію або сукупність логічних функцій. У загальному випадку КС можна представити схемою, приведеною на рис. 1, де x_1, x_2, \dots, x_n - входи КС, f_1, f_2, \dots, f_m - її виходи.

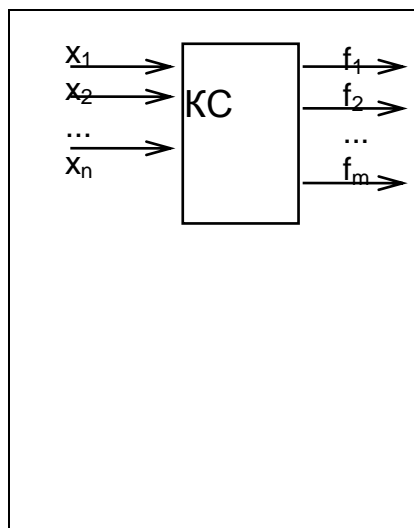


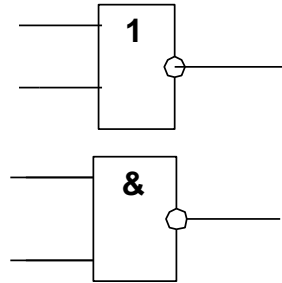
Рисунок 1- комбінаційна схема

Під логічним (перемикачем) елементом найчастіше розуміють технічний пристрій, що реалізовує одну елементарну логічну функцію.

Прикладна теорія цифрових автоматів не розглядає фізичні явища, що лежать в основі розробки і функціонування логічних елементів. Звичайно

логічний елемент розуміється як «чорний ящик» і враховується тільки як реалізовувана елементом логічна функція. Приклади логічних елементів

АБО - НЕ, І - НЕ, які реалізують відповідні логічні функції двох



змінних, представлені на рис. 2.

Рисунок 2

Під глибиною (числом рівнів) КС розуміється максимальне число логічних елементів, розташованих на шляху проходження сигналу від входів КС до її виходу. Глибина КС робить істотний вплив на швидкодію КС, оскільки кожен логічний елемент володіє внутрішньою затримкою розповсюдження сигналу. Одно- і дворівневі КС володіють максимальною швидкістю. Проте вони не завжди можуть бути використані, оскільки число входів реальних логічних елементів в інтегральному виконанні обмежене.

Якщо КС реалізує одну логічну функцію, то вона називається одновихідною КС (рис. 3). Якщо КС реалізує сукупність логічних функцій, то вона називається багатовихідною КС.

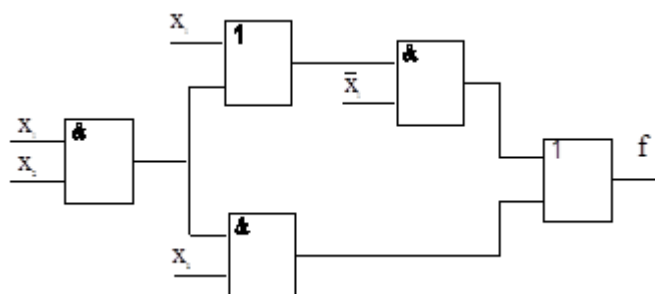


Рисунок 3- одновихідна КС

Комбінаційним схемам відповідають схеми без зворотних зв'язків (під зворотним зв'язком розуміється з'єднання виходу деякого логічного елемента з своїм входом, можливо, через ланцюжок інших логічних елементів (рис. 4)).

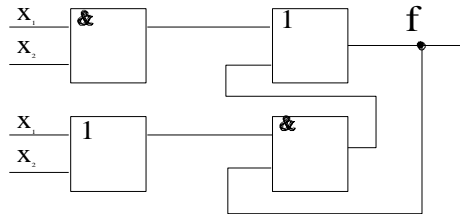


Рисунок 4- схеми зі зворотним зв'язком

2 Технічні параметри ЛЕ

Логічні елементи, використовувані для побудови КС, характеризуються певними технічними параметрами, серед яких найважливіші коефіцієнт об'єднання по входу I ; коефіцієнт об'єднання по виходу U (коефіцієнт розгалуження) і затримка сигналу $\Delta \tau$ в логічному елементі.

Система функцій, яка буде реалізована вибраною для синтезу схем сукупністю логічних елементів, завжди повинна бути функціонально повною, тобто допускати реалізацію будь-якої логічної функції на основі принципу суперпозиції. Якщо як система функцій вибрані функції I , АБО, НЕ, то вважають, що реалізований логічний базис. Проектування КС в логічному (булевому) базисі найбільш просте, оскільки методи мінімізації булевих функцій в основному орієнтовані на нього. Тому, як правило, на першому етапі КС проектується в булевому базисі з подальшим переходом в заданий базис. Якщо вибрані функції I -НЕ або АБО-НЕ, то вважають, що реалізується універсальний або монофункціональний базис. Для зручності проектування в різних системах елементів можлива реалізація і змішаного базису.

Конструктивно логічні елементи об'єднуються в єдині корпуси - інтегральні мікросхеми (ІМС). У загальному випадку, під інтегральною мікросхемою розуміється мікроелектронний виріб, що має високу густину упаковки елементів і з'єднань між ними; при цьому всі елементи виконані

нероздільно і електрично сполучені між собою таким чином, що з погляду специфікації, випробувань, поставки і експлуатації виріб розглядається як єдиний.

Число логічних елементів, об'єднаних в один корпус ІМС, характеризує ступінь інтеграції логічних елементів. Ступінь інтеграції впливає на надійність, габаритні розміри, енергоспоживання проєктованих КС. Розрізняють ІМС малому, середньому, великому і надвеликому ступеню інтеграції.

В даний час використовують оцінки: до 100 000 вентилів - БІС, більше 100000 вентилів -СБІС.

Коефіцієнт об'єднання I по входу логічного елемента ІМС задає максимальне число логічних елементів, виходи яких можуть бути об'єднані на вході даного елемента.

Коефіцієнт об'єднання U по виходу (коефіцієнт розгалуження) логічного елемента ІМС задає максимальне число входів логічних елементів, які можуть бути сполучені з виходом даного логічного елемента без порушення режиму його роботи.

Якщо деякий логічний елемент КС виявився переобтяженим по виходу (після закінчення проєктування КС), то необхідно виробити еквівалентне перетворення структури КС з метою його розвантаження. Це перетворення зводиться або до введення в КС спеціальних підсилювачів-формуваачів, або до дублювання даного логічного елемента.

Затримка логічного елемента $\Delta \tau$ характеризує проміжок часу між моментами встановлення сигналів на входах і виходах логічного елемента. Розповсюдження сигналу по КС залежно від затримок логічних елементів, через які він проходить, характеризує швидкодію КС. Проходження сигналів по різних шляхах в КС викликає появу різних затримок, що може послужити причиною нестійкого функціонування КС.

Сучасні засоби обчислювальної техніки збираються з ІМС, типових як за фізичними принципами функціонування, так і по виконуваних логічних функціях.

Основні вимоги до комплекту ІМС наступні:

- 1) ІМС комплекту повинні забезпечувати можливість побудови різних пристроїв і систем обробки цифрової інформації;
- 2) число різних типів ІМС повинне бути оптимальним, щоб забезпечувалася простота експлуатації складних систем і взаємозамінність їх частин;
- 3) у комплекті повинні бути передбачені ІМС, які не виконують логічних функцій, а погоджують характеристики навантажень логічних елементів і забезпечують формування електричних сигналів;
- 4) ІМС комплекту повинні бути технологічними у виготовленні і зручними для перевірки їх електричних параметрів;
- 5) комплект ІМС повинен бути функціонально повним;
- 6) комплект ІМС повинен містити спеціальні ІМС, призначені для побудови управляючих ланцюгів, пристроїв, що запам'ятовують, ланцюгів зв'язку пристроїв, що запам'ятовують і логічних, узгодження електромеханічних пристроїв (реле, перемикачів, механізмів перфорації і друку) і логічних пристроїв, зв'язку різних пристроїв з пристроями введення-висновку інформації, індикації інформаційних станів і генерації високостабільних тактових сигналів.

В процесі реалізації конкретних схем розв'язуються задачі забезпечення необхідних характеристик надійності. У загальному випадку ці характеристики можуть бути розраховані, виходячи з надійності характеристик елементів і конкретної схеми (це торкається не тільки комбінаційних схем). У тих випадках, коли розрахункова надійність не задовольняє початковим вимогам, застосовуються спеціальні методи підвищення надійності. Серед них найцікавішими, з погляду теорії цифрових автоматів, є методи контролю роботи схем з використанням перешкодостійких кодів.

Таким чином, на етапі структурного синтезу розв'язується задача побудови комбінаційної схеми, що реалізовує задану сукупність булевих функцій і задовольняє заданим вимогам швидкодії і надійності.

3 Проектування комбінаційних схем в булевому базисі

При проектуванні КС на логічних елементах І, АБО, НЕ і відсутності обмежень на число входів елементів користуються висловленими раніше методами мінімізації булевих функцій. За наявності обмежень найпростішим методом є застосування спеціальних ІМС, званих розширювачами і є в комплектах ІМС. Розширювачі дозволяють збільшити, у разі потреби, число входів логічного елемента шляхом включення додаткового (точно такого ж) логічного елемента на один з входів основного.

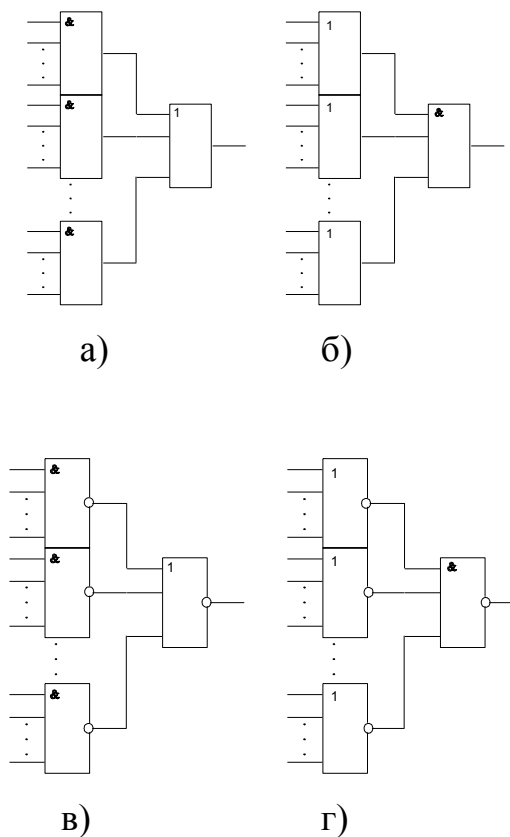


Рисунок 5- дворівнева КС

3 Проектування комбінаційних схем в монофункціональному базисі (в базисі Шеффера і Пірса)

Розглянемо перехід від реалізації булевої функції в булевому базисі, тобто на логічних елементах І, АБО, не до схем в монофункціональному базисі, тобто реалізованих на логічних елементах АБО - НЕ або І - НЕ. Такі логічні елементи широко використовуються в комплектах ІМС, що є на практиці. Помітимо, що

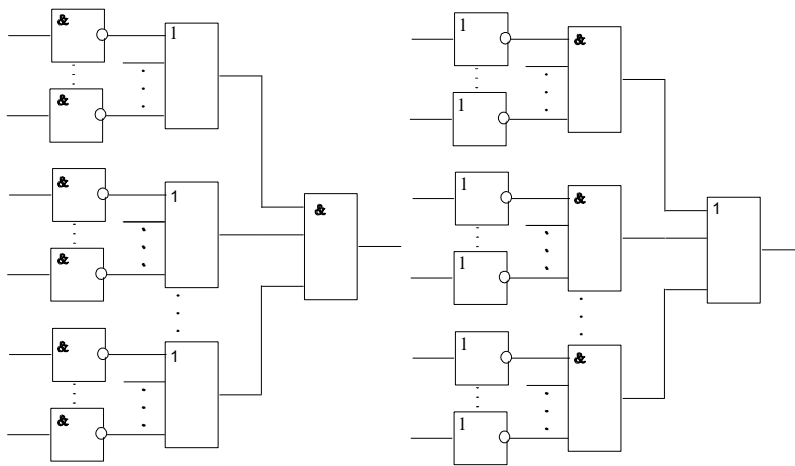
якщо булева функція в базисі I, АБО, не реалізована дворівневою КС відповідно до рис. 5, а, б, то перехід до реалізації в базисі

I - НЕ або АБО-НЕ може бути здійснений заміною всіх елементів КС (рис. 5 а) на логічні елементи АБО-НЕ, і елементів КС (рис. 5.б) на логічні елементи АБО-НЕ із збереженням як змінних, поданих на входи елементів, так і зв'язків між ними. Перетворені КС представлені на рис. 5. в., г. У приведених на рисунках схемах вважається, що на входи КС змінні поступають як із запереченням, так і без заперечення, тобто елемент НЕ на входах КС не враховується.

Проте використовувати як зовнішні входи КС змінні \bar{X}_i і X_i не завжди вдається. В цьому випадку КС, реалізована в булевому базисі, може бути представлена рис.6 а, б і є тривірневою. Відповідні КС, реалізовані в монофункціональному базисі, також будуть тривірневими.

Існує вельми простий спосіб переходу від реалізації КС в базисі I - НЕ до реалізації КС в базисі I - АБО. Спосіб заснований на застосуванні правил де Моргана і дозволяє за допомогою нескладного алгоритму відразу по реалізації КС в базисі I - НЕ одержати реалізацію КС в базисі I - АБО. Якщо в початковій КС відсутні елементи I-НЕ, що виконують функцію інвертування, то перетворена КС міститиме рівно стільки логічних елементів I, АБО, скільки їх є в початковій КС. Якщо в початковій КС інвертування є, то в перетвореній КС число логічних елементів (в порівнянні з початковою КС) буде зменшене рівно на число інвертувань.

Перетворення складних аналітичних виразів з булева базису в базис АБО - НЕ або I - НЕ може бути зроблено за допомогою методу, заснованого на послідовному застосуванні теорем де Моргана. Метод дозволяє здійснювати перехід від довільної за формою булевої функції, реалізованої на елементах I, АБО, НЕ, до форми, яка реалізована на елементах I-НЕ, АБО-НЕ, зокрема від мінімальної ДНФ або КНФ до мінімальних (у точності до однієї букви) найкоротших форм в базисі I-НЕ або АБО-НЕ.



а)

б)

Рисунок 6- трирівнева КС

Приклад. Реалізувати бульову функцію

$$f = \bar{X}_1 \bar{X}_2 \vee \bar{X}_1 X_4 \vee X_2 X_3 X_4 \vee X_3 X_4$$

у багатофункціональних базисах І-НЕ, АБО-НЕ.

Функція задана в булевому базисі. Застосувавши правило де Моргана, перетворимо функцію в монофункціональний базис.

$$f = \overline{\bar{X}_1 \bar{X}_2 \vee \bar{X}_1 X_4 \vee X_2 X_3 X_4 \vee X_3 \bar{X}_4} = \overline{\bar{X}_1 \bar{X}_2} \wedge \overline{\bar{X}_1 X_4} \wedge \overline{X_2 X_3 X_4} \wedge \overline{X_3 \bar{X}_4} -$$

перетворення в базис І-НЕ.

$$f = \overline{\overline{\bar{X}_1 \bar{X}_2}} \vee \overline{\overline{\bar{X}_1 X_4}} \vee \overline{\overline{X_2 X_3 X_4}} \vee \overline{\overline{X_3 \bar{X}_4}} = \overline{X_1 \vee X_2} \vee \overline{X_1 \vee X_4} \vee \overline{X_2 \vee X_3 \vee X_4} \vee \overline{X_3 \vee \bar{X}_4} -$$

перетворення в базис АБО-НЕ.

КС відповідні даним реалізаціям, представлені на рис.7 а, б, відповідно.

На закінчення нагадаємо, що отримання мінімальних форм булевих функцій в монофункціональному базисі можна представити таким чином:

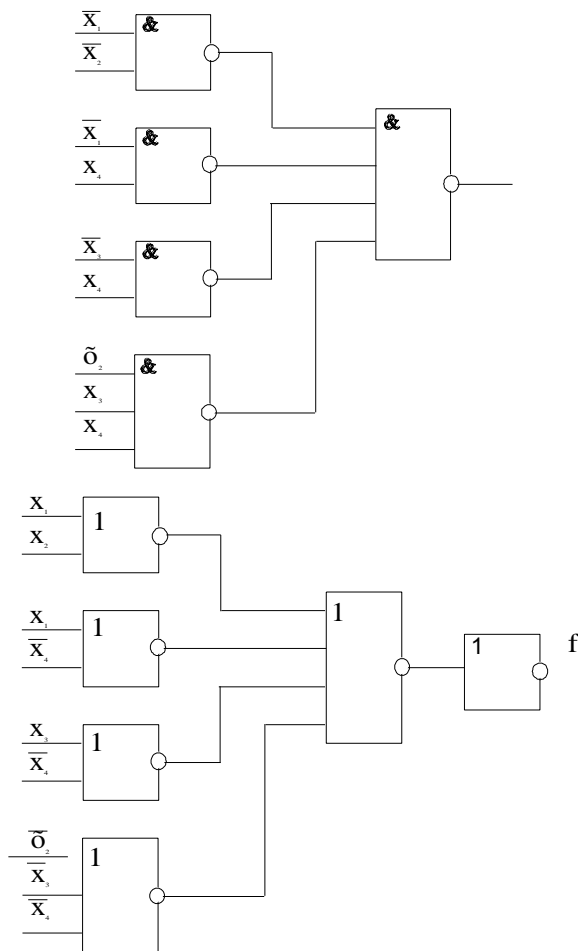


Рисунок 7. а) - реалізація функції в базисі І-НЕ;
б) - реалізація функції в базисі АБО-НЕ.

- 1) отримання СДНФ булевої функції;
- 2) отримання мінімальної ДНФ булевої функції на основі її ДДНФ за допомогою будь-якого відомого методу мінімізації булевих функцій;
- 3) переклад мінімальної ДНФ в монофункціональний базис застосуванням теорем де Моргана в будь-якій послідовності.

Останнє справедливо, внаслідок того, що застосування теорем де Моргана не змінює числа букв у виразі.

Питання для самоперевірки

1 комбінаційною схемою (КС) ?

2 Яка схема називається називається одновихідною КС

3 За допомогою якого методу може бути зроблено перетворення складних аналітичних виразів з булевого базису в базис АБО - НЕ або І - НЕ ?

Література

Базова:

1. Бойко В.І. Основи технічної електроніки: підручник / В.І.Бойко, А.М.Гуржій, В.Я.Жуйков-Вища школа,2007.С.
2. Лебедєв О.М. Цифрова схемотехніка: підручник / О.І.Ладик , О.М. Лебедєв – Вища школа, 2005.-247с.

Допоміжна:

3. Брамер.Ю.А. Імпульсні і цифрові пристрої: підручник/Ю.А.Брамер, І.Н.Пашук – Вища школа,2003. _351с.
4. Е.П.Угрюмов Цифрова схемотехніка: підручник-БХВ-Санкт-Петербург,2000.- 528с.

Тема Синтез одноступеневого дешифратора

Мета Сформувати у студентів знання з побудови дешифратора. Навчити складати таблицю станів, будувати дешифратор .

План

1 Причини створення дешифратора

2 Визначення дешифратора

3 Синтез дешифратора

1 Причини створення дешифратора

1. **Нагадати:** цифрові пристрої у своїй роботі використовують сигнали тільки двох видів - логічні 0 і 1. Ті ж самі принципи використовує і двійкова арифметика. На принципах двійкової арифметики і їх реалізації в цифрових пристроях побудовані найрізноманітніші обчислювальні машини - від простого мікрокалькулятора до складних інформаційно-обчислювальних систем. Це пов'язано з тим, що вузли $\{0,1\}$ облаштування двійкової арифметики швидкі і надійні, легко реалізуються на основі тільки трьох різновидів логічних елементів - І, АБО, НЕ. Але є і зворотна сторона цих переваг. Поєднання двійкових сигналів, двійкові коди, досить складно зрозуміти непідготовленій людині, яка не бачить сенсу за поєднаннями нулів і одиниць. Само собою зрозуміло, йому зручніше вводити інформацію в машину в звичному для себе виді (числа, букви.), і отримувати результати обробки інформації в такому ж в звичному виді. Той факт, що машинні коди є двійковими числами, що усі види зберігання і обробки інформації відбуваються саме з двійковими числами, для нього не такий важливий, як важливе отримання результату обробки інформації.

Звідси витікає необхідність в перетворенні двійкових чисел (двійкових кодів) для представлення в інших системах числення, найчастіше - в десятковій (рідше - у вісімковій або в шістнадцятковій). Це завдання виконують пристрої під назвою **ДЕШИФРАТОРИ**. Якщо ж необхідно здійснити зворотне

перетворення, наприклад представити десяткове число в двійковій системі числення, використовуються, пристрої під назвою ШИФРАТОРИ.

1 Визначення дешифратора

Дешифратор це пристрій, що перетворює код, який поступає на його входи, в сигнал тільки на одному з його виходів.

1. Дати визначення під запис: *двійковим дешифратором називається цифровий пристрій, в якому при будь-якій комбінації вхідних двійкових сигналів з'являється сигнал 1 тільки на одному з його виходів.*

2. Пояснити: оскільки дешифратор перетворить двійковий код, він називається двійковим. Двійковий дешифратор має m входів і 2^m виходів. Наприклад, дешифратор для перетворення однієї шістнадцятирічної цифри має 4 входи і 16 виходів.

3. Заздалегідь пояснити (нагадати) принципи запису чисел в двійковій системі числення.

Будь-яке число записується в двійковій системі числення у вигляді суми добутків ступенів числа 2, помножених на цифри, з яких складається запис числа.

4. Навести приклад: $6_{10}=110_2$, оскільки $1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 4+2+0 = 6$.

5. Привести таблицю відповідності перших 16 десяткових чисел двійковим:

Десяткове число	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Двійкове число	0	1	10	11	100	101	110	111	1000	1001	1010	1011	1100	1101	1110	1111	10000

6. Привести значення ступенів числа 2:

$$2^0=1 \quad 2^1=2 \quad 2^2=4 \quad 2^3=8 \quad 2^4=16 \quad 2^5=32 \quad 2^6=64 \quad 2^7=128 \quad 2^8=256 \quad 2^9=512$$

$$2^{10}=1024$$

7. Поставити завдання: скласти функціональну схему двійкового дешифратора, що перетворює дворозрядне двійкове число в сигнал, що

управляє, тільки на одному з його виходів. Такий дешифратор повинен мати 2 входи і 4 виходи ($m=2$; $2^m=4$).

Тобто двійковий дешифратор, що має « n » входів повинен мати 2^n виходів, які відповідають числу різних комбінацій в n -разрядному двійковому коді.

Класифікація дешифраторів

Дешифратори класифікують за такими ознаками:

- способом структурної організації — одноступеневі (лінійні) і багатоступеневі,

в тому числі пірамідальні та прямокутні (матричні);

- форматом вхідного коду — двійкові, двійково-десяткові;
- розрядністю коду, який дешифрується — 2, 3, ..., n ;
- формою подачі вхідного коду — з однофазними і парафазними

виходами:

- кількістю виходів — повні й неповні дешифратори;
- видом вхідних стробуючих сигналів — в прямому або інверсному значеннях;
- типом використовуваних логічних елементів — І, НЕ, АБО, НЕ- І,

Розрізняють повні і неповні дешифратори.

Дешифратор, у якого частина наборів не використовується, називається неповним, тобто у нього число виходів менше $2n$. Якщо дешифратор має n входів і m виходів і використовуються всі можливі набори вхідних змінних, то $m=2n$, то такий дешифратор називається повним. НЕ - АБО і т.д.

До основних характеристик дешифратора відносять: число ступенів (каскадів) дешифрації, кількість використаних логічних елементів або мікросхем, загальне число входів логічних елементів, час дешифрації і споживану потужність. Умовні графічні позначення дешифраторів на електричних схемах показані на рис. 4 Дешифратор, у якого частина наборів не використовується, називається неповним, тобто у нього число виходів менше 2^n . Якщо дешифратор має n входів і m виходів і використовуються всі можливі набори вхідних змінних, то $m=2^n$, то такий дешифратор називається повним.

2 Синтез дешифратора

1.Складання таблиці істинності

8 Допустимо, кількість входів $n=2$, кількість виходів повинна бути відповідно $m=2^n = 4$. Запишемо всі можливі комбінації вхідних сигналів. Виходячи з принципу дії дешифратора, першій комбінації повинна відповідати поява сигналу на першому виході ($f_0=1$), інша комбінація викличе електричний сигнал на другому виході ($f_1=1$), і так далі. мати 2 входи і 4 виходи($m=2; 2^m=4$).

9 Представити таблицю істинності такого дешифратора і його «чорний ящик».

Таблиця дешифратора має вигляд:

x_1	x_2	f_0	f_1	f_2	f_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

2.Запис логічних функцій для дешифратора в аналітичній формі. Запишемо мінтерми: $m_1 = \bar{x}_1 \cdot \bar{x}_2$; $m_2 = \bar{x}_1 \cdot x_2$; $m_3 = x_1 \cdot \bar{x}_2$; $m_4 = x_1 \cdot x_2$. Відповідно маємо

$$f_0 = \bar{x}_1 \cdot \bar{x}_2 \quad f_1 = \bar{x}_1 \cdot x_2 \quad f_2 = x_1 \cdot \bar{x}_2 \quad f_3 = x_1 \cdot x_2$$

3.Схема дешифратора представлятиме сукупність кон'юнкторів, що виробляють одну з вихідних функцій:

$$f_0 = \bar{x}_1 \cdot \bar{x}_2; f_1 = \bar{x}_1 \cdot x_2; f_2 = x_1 \cdot \bar{x}_2; f_3 = x_1 \cdot x_2.$$

Пояснити: схема дешифратора має бути побудована на логічних елементах І у кількості 4, кожен з них повинен мати 2 входи.

Побудувати схему дешифратора, привести його умовне позначення.

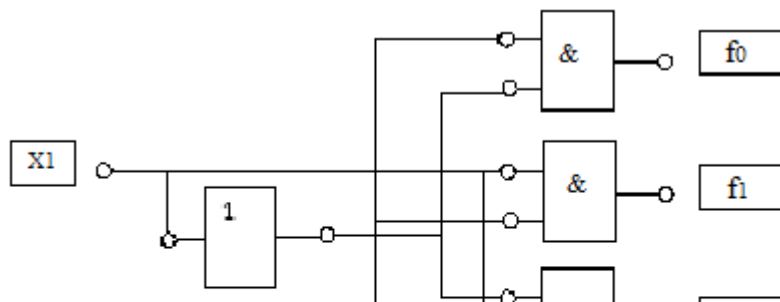
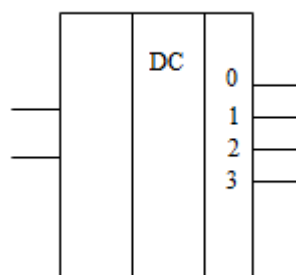


Рис 1 Схеми дешифратора

Для умовного графічного позначення дешифратора використовується символ DC (від англійського decoder).

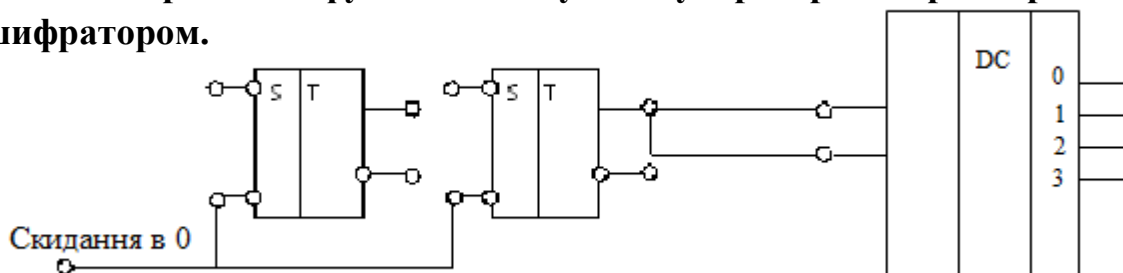


Входи дешифратора позначають їх двійковими вагами.

7 Пояснити роботу дешифратора.

8 Відмітити: як джерело двійкового коду зазвичай використовуються тригерні лічильники або регістри, оскільки тригер є елементом пам'яті, здатним зберігати 1 біт інформації.

9 Привести функціональну схему тригерного регістра пам'яті з дешифратором.



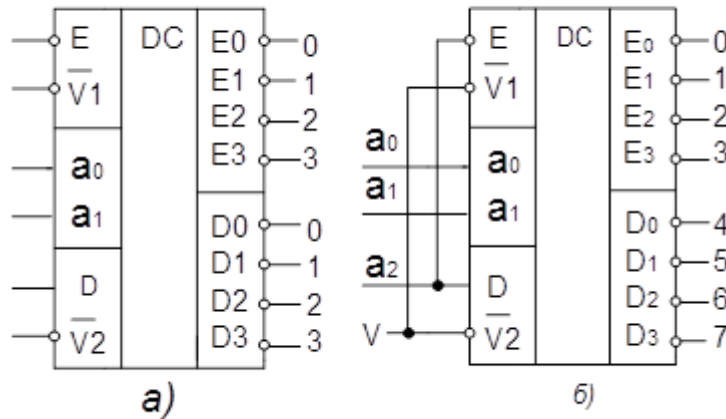
Мікросхема має вхід Е (енейбл) – розв'язувальний вхід. За наявності дозволу (сигнал дозволу), по цьому входу дешифратор працює, при його відсутності всі виходи дешифратора пасивні.

Умовне позначення дешифратора на мікросхемах ІД

Приклад :

К 155 ІД 2

серія кількість входів
дешифратор



Це здвоєний 4 - каналний дешифратор - демультиплексор. Кожна секція має один інформаційний вхід (D і \bar{E}), один вхід дозволу (\bar{V}_1 і \bar{V}_2), чотири виходи ($\bar{D}_0...D_3$) і ($\bar{E}_0...E_3$) і два спільних адресних входа (a_1, a_0).

155 серія дешифраторів працюють з параметрами: «0» - 0,4 В – низький рівень «1» - 2,4 В – високий рівень. Застосовуються в пристроях керування , в системах цифрової індикації.

Питання для самоконтролю

- 1 Який пристрій називають дешифратором?
- 2 На яких елементах можна побудувати дешифратор?
- 3 Де використовують дешифратори?

Література

- [1] Алексеенко А.Г. «Микросхемотехника»; Радио и связь 1990
- [2] Бойко В.І., Гуржій В.Я., Зорі А.А. Співак В М Терещенко Т О Петергеря ЮС. «Основи технічної електроніки»; Вища школа Київ 2007

ТЕМА: СУМАТОРИ КОМБІНАЦІЙНОГО ТИПУ. СИНТЕЗ СУМАТОРА.

МЕТА: Сформувати у студентів знання з пристрою, класифікацію, принцип роботи, побудову. Продовжувати розвивати навички роботи з довідниками.

План

1 Загальні відомості про суматори, їх класифікація.

2 Синтез напівсуматора

Всі різноманіття математичних операцій (віднімання, множення, ділення, обчислення тригонометричних функцій і так далі) можна звести до єдиної операції – додавання прямих і зворотних, зрушених вправо або вліво на ту або іншу кількість розрядів кодів чисел. Тому одним з основних вузлів арифметичних пристроїв, є суматор.

1 Загальні відомості про суматори, їх класифікація.

Суматори призначені для виконання арифметичних операцій складання і віднімання як двійкових, так і десяткових чисел. Приведемо основні класифікаційні ознаки суматорів.

По виду виконуваних операцій можна виділити дві групи суматорів: суматори, що виконують *складання позитивних чисел* (без урахування знаку числа);

суматори, що виконують операцію *складання позитивних і негативних чисел*.

Такі пристрої називають суматорами - віднімачами. Вони можуть працювати в режимі алгебри (з урахуванням знаку) підсумовування і віднімання чисел.

По використовуваній системі числення суматори підрозділяються на:

двійкові суматори, що виконують операції над двійковими числами;

десяткові суматори, що виконують операції над десятковими числами.

По послідовності виконання операцій в часі виділяють:

паралельні суматори, в яких усі розряди чисел, що складаються, подаються на входи суматора одночасно. Такі суматори будуються на комбінаційних

пристроях і розглядаються надалі; послідовні *суматори* (нагромаджуючі), на входи яких розряди чисел, що складаються, подаються послідовно в часі (розряд за розрядом). У них використовуються елементи пам'яті.

Серед двійкових суматорів розрізняють *однорозрядні* і *багаторозрядні* суматори. Однорозрядні суматори служать основою для побудови багаторозрядних. Багаторозрядні суматори підрозділяються на суматори з послідовним і паралельним *перенесенням*.

2 Синтез напівсуматора

Таблиця складання має вигляд

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 10$$

1 Складання таблиці істинності

Якщо її розглядати як вимоги до пристрою то вона може бути надана в наступній формі:

Вхідні змінні		Сума, S_0	Перенесення, P_0
A	B		
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

2 Перехід від таблиці до аналітичного виразу функції

На основі даної таблиці істинності можемо записати вираз для функції S_0 і P_0

$$S_0 = f_{1\text{днф}} = \bar{A}_0 B_0 \vee A_0 \bar{B}_0$$

$$P_0 = f_{2\text{днф}} = A_0 B_0$$

3 Побудова схем на елементах універсального базису

Побудуємо функціональну схему даних функцій на елементах універсального базису.

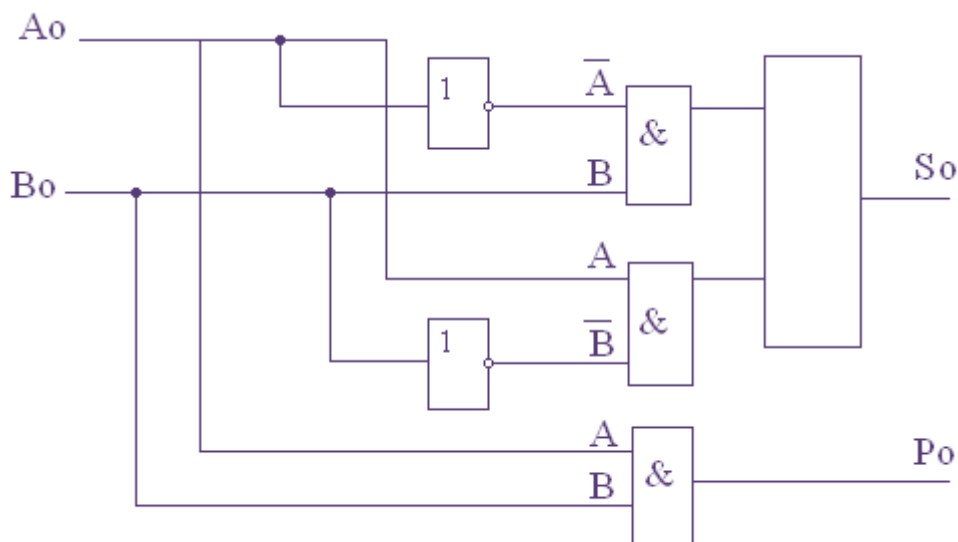
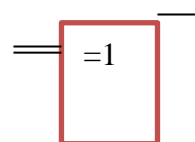


Рис 1.

Але поглянувши на функцію S_0 неважко помітити, що функцію S можна реалізувати елементом нерівнозначності (сума по модулю 2, виключне АБО)

$$F_{S_0} = f_6 = AB \vee A\bar{B} = A + B \Rightarrow$$



а функція перенесення – це операція виключне АБО, отже (рис.2) Схема реалізації пристрою наз. півсуматором.

Суматори виконують арифметичне складання і віднімання чисел.

Мають самостійне значення, а також є ядром схем АЛУ, що реалізують ряд всіляких операцій і що є неодмінною частиною всіх процесорів.

Апаратна складність і швидкодія суматора є дуже важливими параметрами і тому розроблена безліч варіантів суматорів.

Два однорозрядні півсуматори організують однорозрядний суматор.

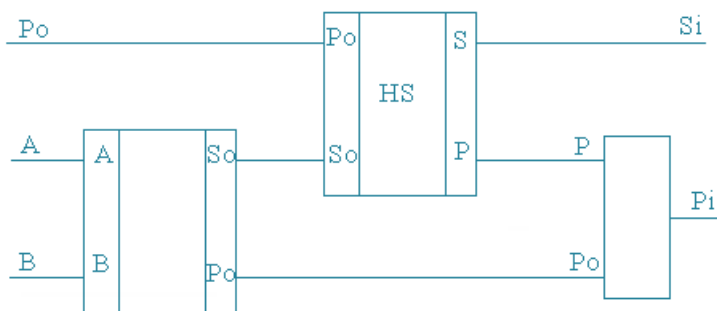


Рис.2 Схема суматора

Спочатку підсумовуються вихідні числа A і B . Потім S_0 підсумовується з сигналом перенесення P_0 з попереднього розряду і виходить остаточне значення суми S_i . Сигнали перенесень P_0 і P_i об'єднуються в схемі АБО і утворюють остаточне значення P_i

Побудова однорозрядного суматора

1 Роботу суматора можна описати таблицею істинності.

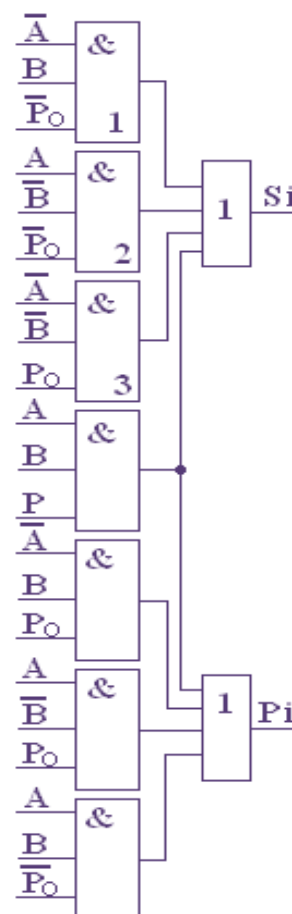
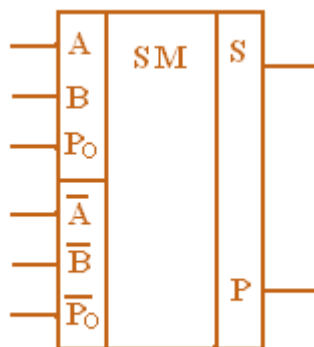
A	B	P_0	P_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

2 На основі таблиці істинності логічні функції матимуть вигляд:

$$P_i = \overline{A} \overline{B} P_0 \vee \overline{A} B \overline{P_0} \vee A \overline{B} \overline{P_0} \vee A B P_0$$

$$S_i = A \overline{B} P_0 \vee A B \overline{P_0} \vee \overline{A} B \overline{P_0} \vee \overline{A} \overline{B} P_0$$

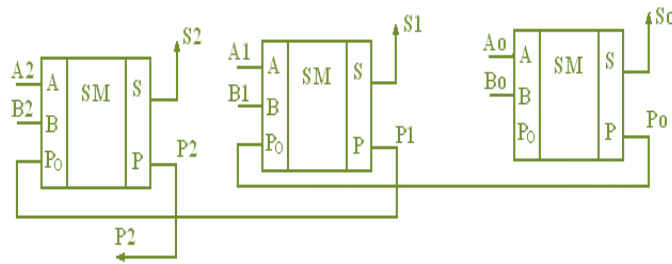
Можна реалізувати на І, АБО



Багаторозрядні суматори виконують арифметичну операцію складання двійкових багатообразних чисел. Число входів і виходів суматора визначається розрядністю доданків.

По організації перенесення розрізняють суматори з послідовним і паралельним перенесенням.

З послідовним перенесенням.



Такі чотирирозрядні суматори в мікросхемному виконанні: K155IM3;
K555IM7

Переваги – простота, мала кількість устаткування.

Недолік – низька швидкодія.

Література

[2] Бойко В.І., Гуржій В.Я., Зорі А.А. Співак В М Терещенко Т О Петергеря ЮС.

«Основи технічної електроніки»; Вища школа Київ 2007§14.5